

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-122265

(43)Date of publication of application : 18.05.1993

(51)Int.Cl.

H04L 27/36

(21)Application number : 03-275535

(71)Applicant : NEC CORP

(22)Date of filing : 23.10.1991

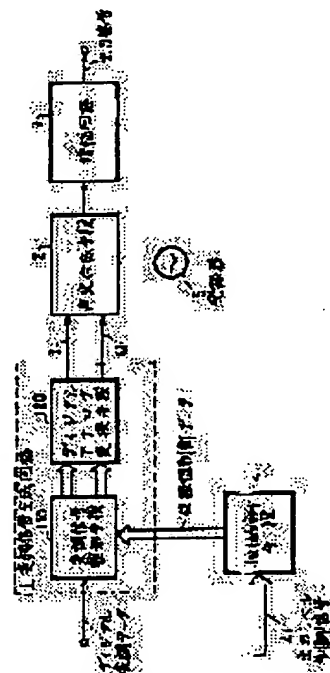
(72)Inventor : SHIBATA TAKAYUKI

## (54) DIGITAL MODULATION CIRCUIT

### (57)Abstract:

**PURPOSE:** To control output power while preventing a spectrum from being spread with a simple circuit suitable for miniaturization without dispersion in components.

**CONSTITUTION:** An amplitude control means 4 outputs amplitude control data based on an output level control signal 41. A modulation signal shaping circuit 110 receives digital modulation data and adjusts the amplitude of a modulation signal based on the amplitude control data 42 through digital calculation and outputs the result, a D/A converter means 120 converts the signal into an analog signal to output a horizontal component I and a vertical component Q.



## LEGAL STATUS

[Date of request for examination] 27.10.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2887987

[Date of registration] 19.02.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

Best Available Copy

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-122265

(43)公開日 平成5年(1993)5月18日

(51)Int.Cl.<sup>5</sup>  
H04L 27/36

識別記号

庁内整理番号

FI

技術表示箇所

9297-5K

H04L 27/00

F

審査請求 未請求 請求項の数2(全10頁)

(21)出願番号 特願平3-275535

(22)出願日 平成3年(1991)10月23日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 柴田 隆行

東京都港区芝五丁目7番1号 日本電気株式会社内

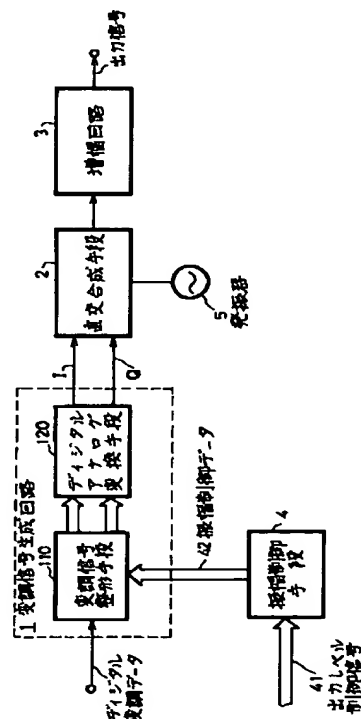
(74)代理人 弁理士 井出 直孝

(54)【発明の名称】 デジタル変調回路

(57)【要約】

【目的】 素子のばらつきがなく、小型化に適した簡単な回路で、かつスペクトラムを広がりを防止して出力電力制御を行うことができる。

【構成】 振幅制御手段4は出力レベル制御信号41に基づき振幅制御データ42を出力する。変調信号整形回路110はデジタル変調データを入力し振幅制御データ42に基づき変調信号の振幅値をデジタル演算により調整して出力し、デジタルアナログ変換手段120でアナログ信号に変換して水平成分Iおよび垂直成分Qを出力する。



**【特許請求の範囲】**

**【請求項1】** デジタル変調データを入力し変調信号の水平成分および垂直成分の振幅値を出力する変調信号整形手段およびこの変調信号整形手段の出力をアナログ信号に変換するデジタルアナログ変換手段を含む変調信号生成回路を備えたデジタル変調回路において、入力する出力レベル制御信号に基づき振幅制御データを出力する振幅制御手段を備え、

上記変調信号整形手段は上記振幅制御データに基づき上記変調信号の水平方向および垂直方向の振幅値をデジタル演算により調整して上記デジタルアナログ変換手段に出力する手段を含むことを特徴とするデジタル変調回路。

**【請求項2】** 上記振幅制御手段は、上記振幅制御データを複数個記憶するメモリと、上記出力レベル制御信号に基づきこのメモリのアドレスを指定する論理回路とを含む請求項1記載のデジタル変調回路。

**【発明の詳細な説明】****【0001】**

**【産業上の利用分野】** 本発明は、デジタル通信のデジタル変調回路に利用する。特に、直交振幅変調方式の出力電力制御を行うデジタル変調回路に関するものである。

**【0002】**

**【従来の技術】** 図5は従来例のデジタル変調回路のブロック構成図である。図6は従来例のデジタル変調回路の変調信号整形手段のブロック構成図である。図7は従来例のデジタル変調回路の増幅回路の出力レベルと出力レベル制御電圧との関係を示す図である。図8は従来例のデジタル変調回路のスイッチング手段のブロック構成図である。図9は従来例のデジタル変調回路のスイッチング手段および積分回路の出力信号の波形を示す図である。図10はデジタル変調回路のデジタルアナログ変換手段のブロック構成図である。図11はデジタル変調回路の直交合成手段のブロック構成図である。図12は移動通信の基地局と移動局との距離に対応して行う出力電力制御を示す図である。

**【0003】** 従来、デジタル変調回路は、図5に示すように、デジタル変調データを入力して変調信号の水平成分Iおよび垂直成分Qを出力する変調信号生成回路1Aと、変調信号の水平成分Iおよび垂直成分Qを直交合成する直交合成手段2、増幅回路3Aと、搬送波を発生する発振器5と、出力電圧を制御するためのスイッチング手段6および積分回路7とで構成されていた。ここで、変調信号生成回路1Aは、図6に示す変調信号整形手段110Aと、図10に示すデジタルアナログ変換手段120とからなり、直交合成手段2は、図11に示すように乗算器21、22、ハイブリッド合成器23、バンドパスフィルタ24および90°移相器25とからなる。

**【0004】** 図12に示すように、移動通信では基地局と移動局T1～T3との間の距離（移動局T2の距離<移動局T3の距離<移動局T1の距離）によらずに受信レベルが一定になるように出力電力制御を行って送信レベルを変えて送信する。この出力電力制御を行うのがスイッチング手段6および積分回路7である。図7に示すように増幅回路3Aの出力レベルをA1～A5と可変にするときに、出力レベル制御電圧 $V_{\alpha}$ として $V_{\alpha 1} \sim V_{\alpha 5}$ を与える必要がある。スイッチング手段6は、図8に示すように一般にはデコーダ61、アナログスイッチ62および抵抗などで実現される。スイッチング手段6および積分回路7の出力信号の波形を図9に示す（※2のところが滑らかにならない。）。

**【0005】** 上述のように、出力電力制御を行う場合に、出力電力制御タイミングに出力電力制御信号によりスイッチング手段6を切替えて基準電圧 $V_1 \sim V_n$ を変化させ、その出力を積分回路7を通して電圧の変化を滑らかにしたものを増幅回路3Aに入力することによって利得を変化させていた。すなわち、出力電力制御を行う場合に急激な出力電力制御を行うとスペクトラムが広がり、周波数の有効利用がはかれないために、増幅回路3Aの利得を制御する基準電圧を積分回路7の時定数により滑らかに変化させて急激な出力電力制御を抑えていた。

**【0006】**

**【発明が解決しようとする課題】** しかし、このような従来例のデジタル変調回路では、スペクトラムの広がりを抑えるために、増幅回路の利得を制御する基準電圧を積分回路の時定数によりなめらかに変化させる必要があり、積分回路の構成が複雑なものになり、またスイッチング手段、積分回路および増幅回路を構成する素子の偏差により特性のばらつきがあるために回路ごとに調整をしなければならない問題点があった。

**【0007】** 本発明は上記の欠点を解決するもので、素子のばらつきがなく、小型化に適した簡単な回路で、かつスペクトラムの広がりを防止して出力電力制御を行うことができるデジタル変調回路を提供することを目的とする。

**【0008】**

**【課題を解決するための手段】** 本発明は、デジタル変調データを入力し変調信号の水平成分および垂直成分の振幅値を出力する変調信号整形手段およびこの変調信号整形手段の出力をアナログ信号に変換するデジタルアナログ変換手段を含む変調信号生成回路を備えたデジタル変調回路において、入力する出力レベル制御信号に基づき振幅制御データを出力する振幅制御手段を備え、上記変調信号整形手段は上記振幅制御データに基づき上記変調信号の水平方向および垂直方向の振幅値をデジタル演算により調整して上記デジタルアナログ変換手段に出力する手段を含むことを特徴とする。

【0009】また、本発明は、上記振幅制御手段は、上記振幅制御データを複数個記憶するメモリと、上記出力レベル制御信号に基づきこのメモリのアドレスを指定する論理手段とを含むことができる。

#### 【0010】

【作用】振幅制御手段は入力する出力レベル制御信号に基づき振幅制御データを出力する。変調信号整形手段は振幅制御データに基づき変調信号の振幅値をデジタル演算により調整してデジタルアナログ変換手段に出力する。

【0011】以上により素子のばらつきがなく、小型化に適した簡単な回路で、かつスペクトラムの広がり防止して出力電力制御を行うことができる。

#### 【0012】

【実施例】本発明の実施例について図面を参照して説明する。図1は本発明一実施例デジタル変調回路のブロック構成図である。図2は本発明のデジタル変調回路の変調信号整形手段のブロック構成図である。図3は本発明のデジタル変調回路の振幅制御手段のブロック構成図である。

【0013】図1において、デジタル変調回路は、デジタル変調データを入力し変調信号の水平成分および垂直成分の振幅値を出力する変調信号整形手段110および変調信号整形手段110の出力をアナログ信号に変換するデジタルアナログ変換手段120を含む変調信号生成回路1と、搬送波を発生する発振器5と、発振器5の出力搬送波を入力し変調信号生成回路1の水平成分Iおよび垂直成分Qを直交合成する直交合成手段2と、直交合成手段2の出力を増幅する増幅回路3とを備え、変調信号整形手段110は直並列変換回路111、差動符号器112、シフトレジスタ113、115およびロールオフフィルタ114、116を含む。

【0014】ここで本発明の特徴とするところは、入力する出力レベル制御信号41に基づき振幅制御データ42を出力する振幅制御手段4を備え、変調信号整形手段110は振幅制御データ42に基づき変調信号の水平成分および垂直成分の振幅値をデジタル演算により調整してデジタルアナログ変換手段120に出力する手段として乗算器117、118を含むことにある。

【0015】また、振幅制御手段4は、振幅制御データ42を複数個記憶するメモリとして制御用ROM44と、出力レベル制御信号41に基づきこのメモリのアドレスを指定する論理手段として遅延回路43とを含む。

【0016】このような構成のデジタル変調回路の動作について説明する。図4は本発明のデジタル変調回路の振幅制御手段の動作を示す図である。

【0017】図3において、振幅制御手段4は制御用ROM44とこの制御用ROM44のアドレスを指定する遅延回路43とから構成され、コンデンサや抵抗などの素子のばらつきがなく、IC化などにより小型で簡単な

構成にできる。制御用ROM44には複数個の振幅制御データ42が記憶されていて振幅制御手段4はそのアドレスを指定することにより振幅制御データ42を読出すことができる。

【0018】図4において、入力する出力レベル制御信号41を遅延回路43によりアドレスAD1とアドレスAD2とに分けて制御用ROM44のアドレスとする。たとえば、アドレスAD1、AD2がともに「2」のときにはレベル「2」に相当する値を出力し、アドレスAD1が「2」、アドレスAD2が「1」のときにはレベル「2」からレベル「1」への遷移状態を出力する（※1で示す）。この部分は制御用ROM44の内容により任意の出力（たとえばコサイン形）を出すことができる。

【0019】変調信号整形手段110はデジタル変調データを入力し、振幅制御手段4からの振幅制御データ42により乗算器117、118で重み付けして変調信号の水平成分および直交成分の振幅値を出力し、デジタルアナログ変換手段120は変調信号整形手段110の出力をアナログ信号に変換して水平成分Iおよび垂直成分Qを出力する。直交合成手段2、増幅回路3および発振器5については従来例と同様である。

#### 【0020】

【発明の効果】以上説明したように、本発明は、素子のばらつきがなく、小型化に適した簡単な回路で、かつスペクトラムの広がり防止して出力電力制御を行うことができる優れた効果がある。

#### 【図面の簡単な説明】

【図1】本発明一実施例デジタル変調回路のブロック構成図。

【図2】本発明のデジタル変調回路の変調信号整形手段のブロック構成図。

【図3】本発明のデジタル変調回路の振幅制御手段のブロック構成図。

【図4】本発明のデジタル変調回路の振幅制御手段の動作を示す図。

【図5】従来例のデジタル変調回路のブロック構成図。

【図6】従来例のデジタル変調回路の変調信号整形手段のブロック構成図

【図7】従来例のデジタル変調回路の増幅回路の出力レベルと出力レベル制御電圧との関係を示す図。

【図8】従来例のデジタル変調回路のスイッチング手段のブロック構成図。

【図9】従来例のデジタル変調回路のスイッチング手段および積分回路の出力信号の波形を示す図。

【図10】デジタル変調回路のデジタルアナログ変換手段のブロック構成図。

【図11】デジタル変調回路の直交合成手段のブロック構成図。

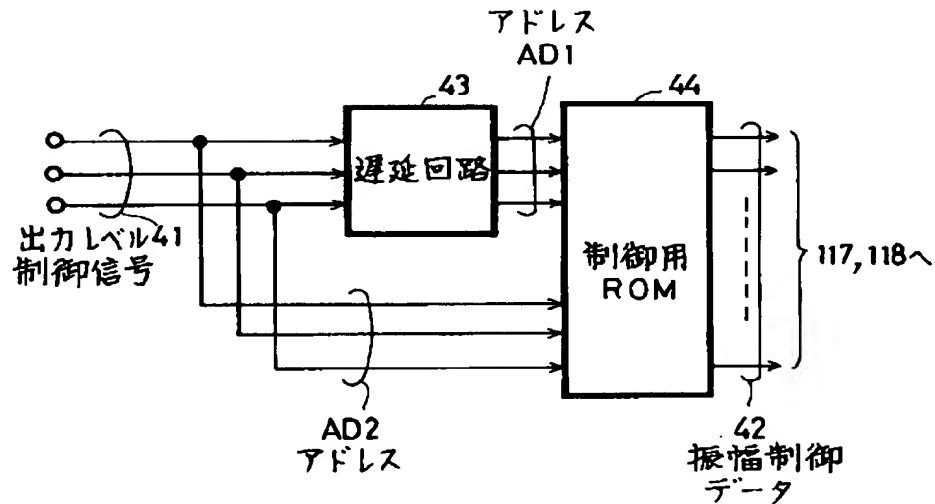
【図12】移動通信の基地局と移動局との距離に対応して行う出力電力制御を示す図。

【符号の説明】

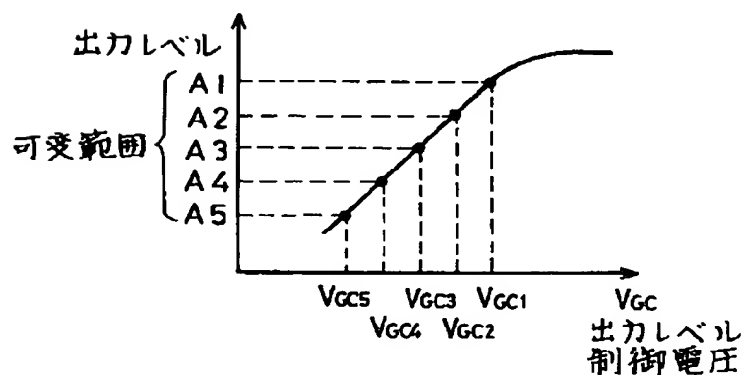
- 1、1A 変調信号生成回路
- 2 直交合成手段
- 3、3A 増幅回路
- 4 振幅制御手段
- 5 発振器
- 6 スwitching手段
- 7 積分回路
- 21、22 乗算器
- 23 ハイブリッド合成器
- 24 バンドパスフィルタ
- 25 90° 移相器
- 41 出力レベル制御信号
- 42 振幅制御データ
- 43 遅延回路
- 44 制御用ROM

- \* 61 デコーダ
- 62 アナログスイッチ
- 110、110A 変調信号整形手段
- 111 直並列変換回路
- 112 差動符号器
- 113、115 シフトレジスタ
- 114、116 ロールオフフィルタ (ROM)
- 117、118 乗算器
- 120 デジタルアナログ変換手段
- 10 121、123 デジタルアナログ変換回路
- 122、124 ローパスフィルタ
- A1～A5 出力レベル
- AD1、AD2 アドレス
- I 変調信号の水平成分
- $V_{GC}$ 、 $V_{GC1} \sim V_{GC5}$  出力レベル制御電圧
- Q 変調信号の垂直成分
- T1～T3 移動局
- \* V1～Vn 基準電圧

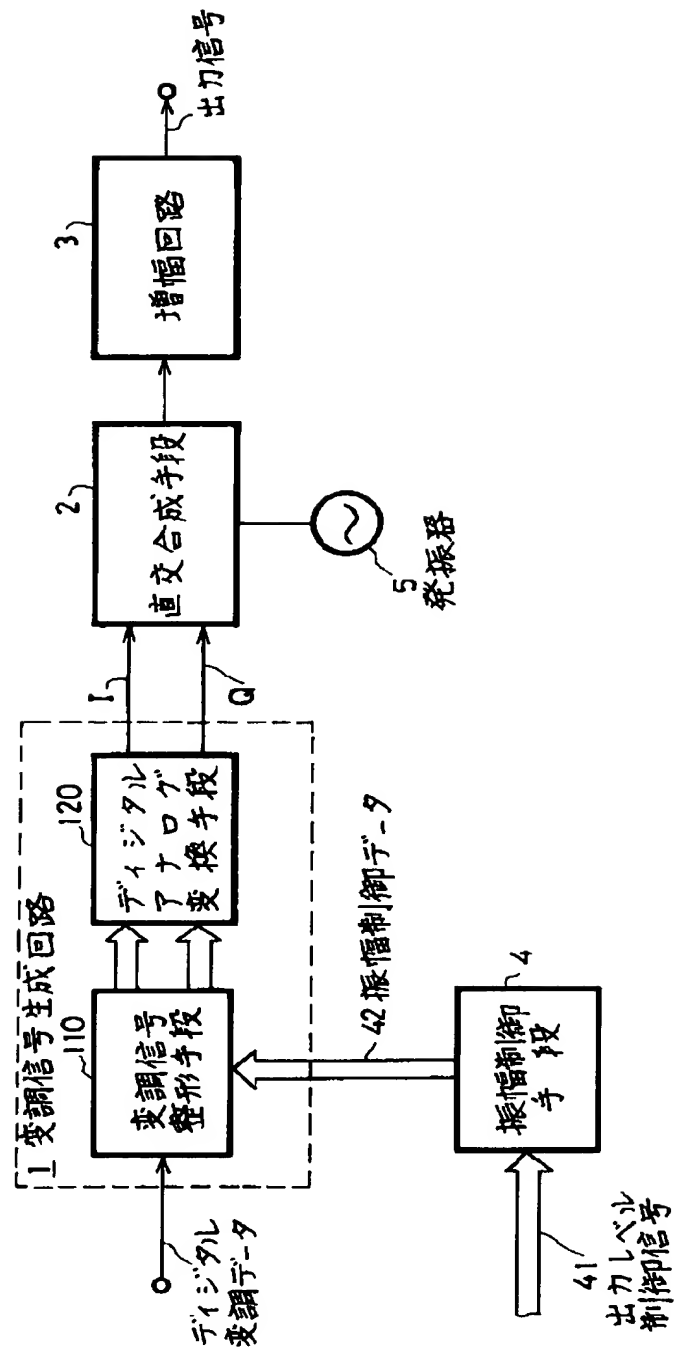
【図3】



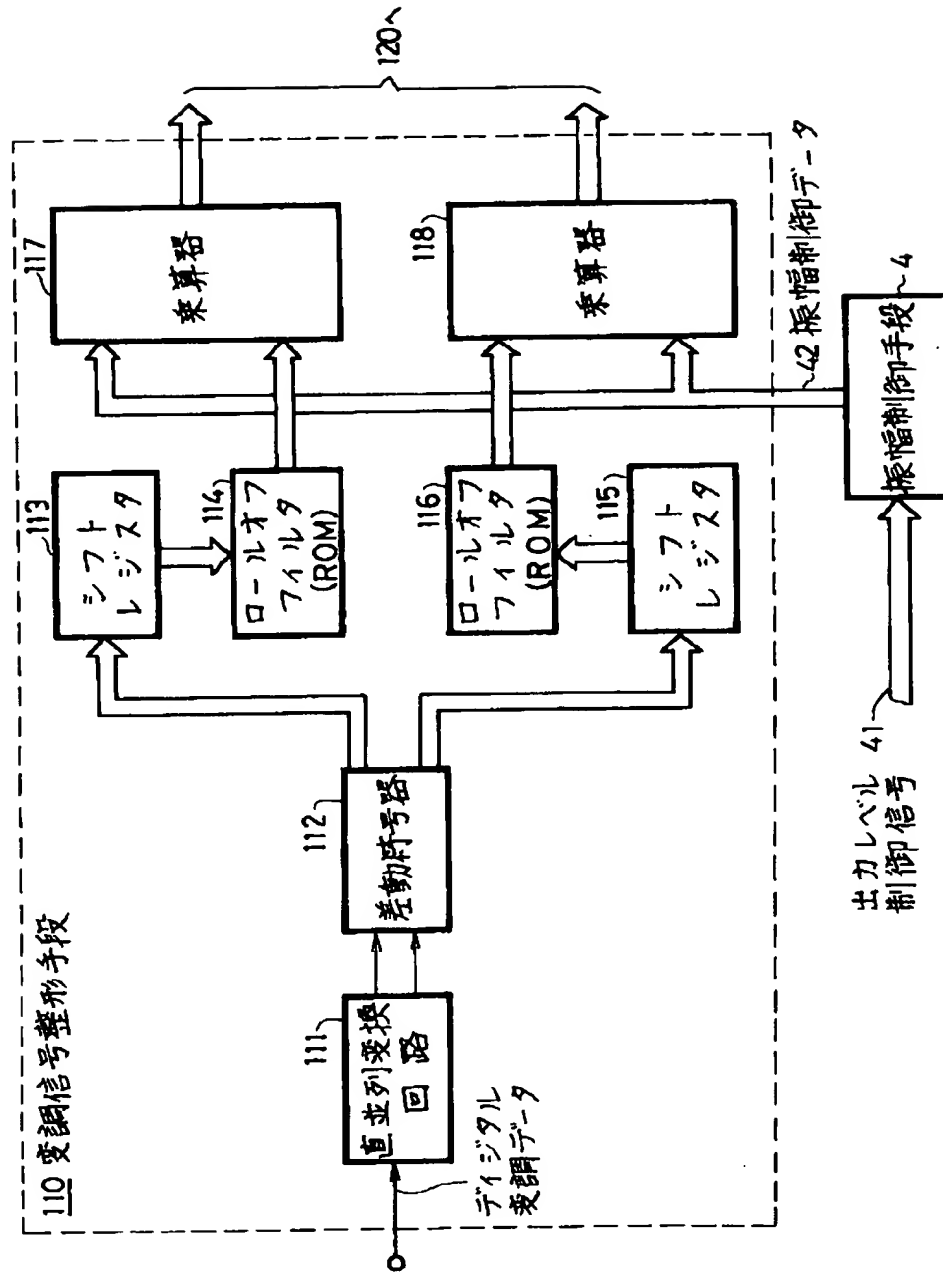
【図7】



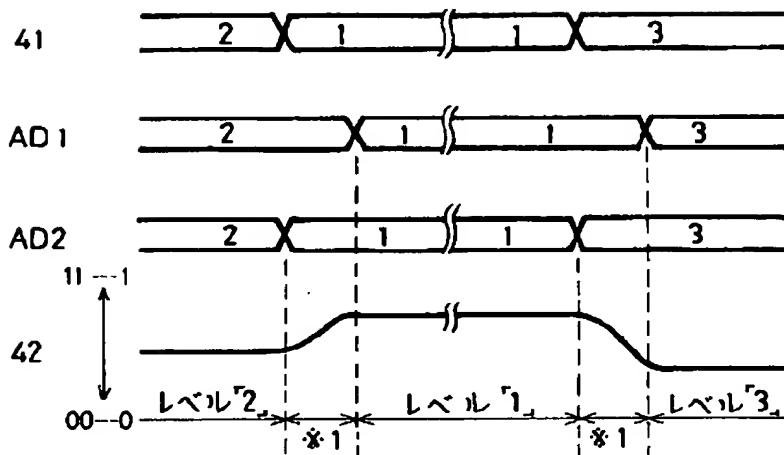
【図1】



【図 2】

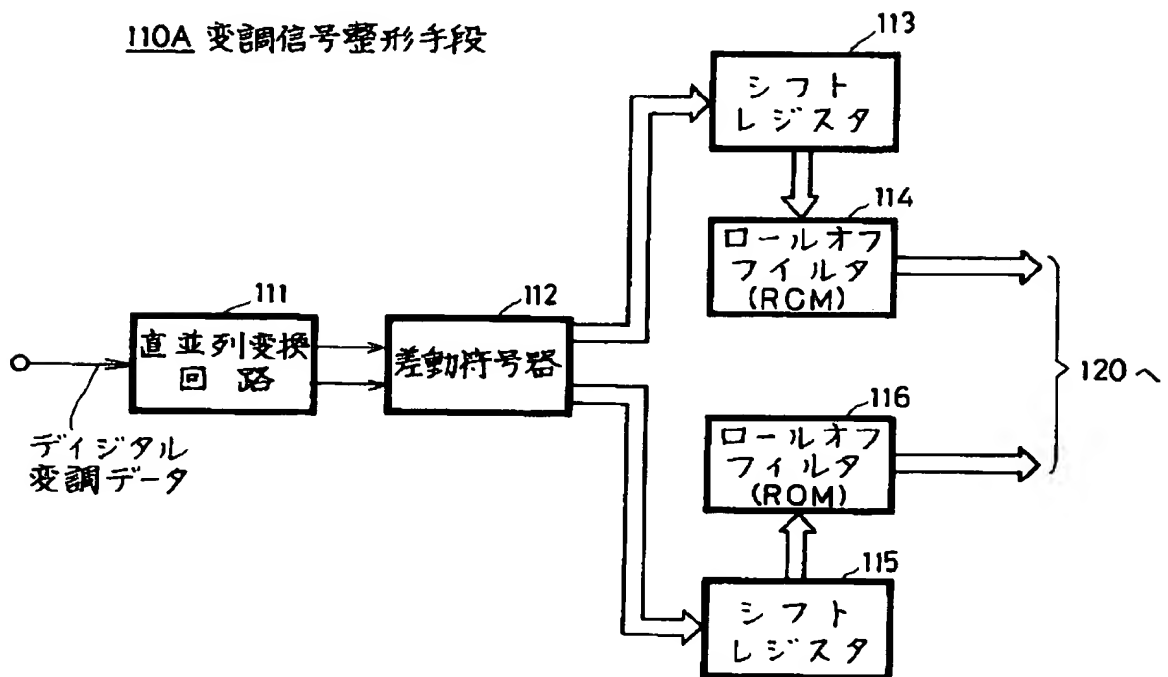


【図4】

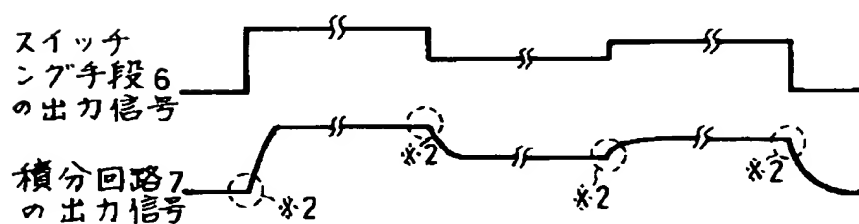


【図6】

## 110A 変調信号整形手段

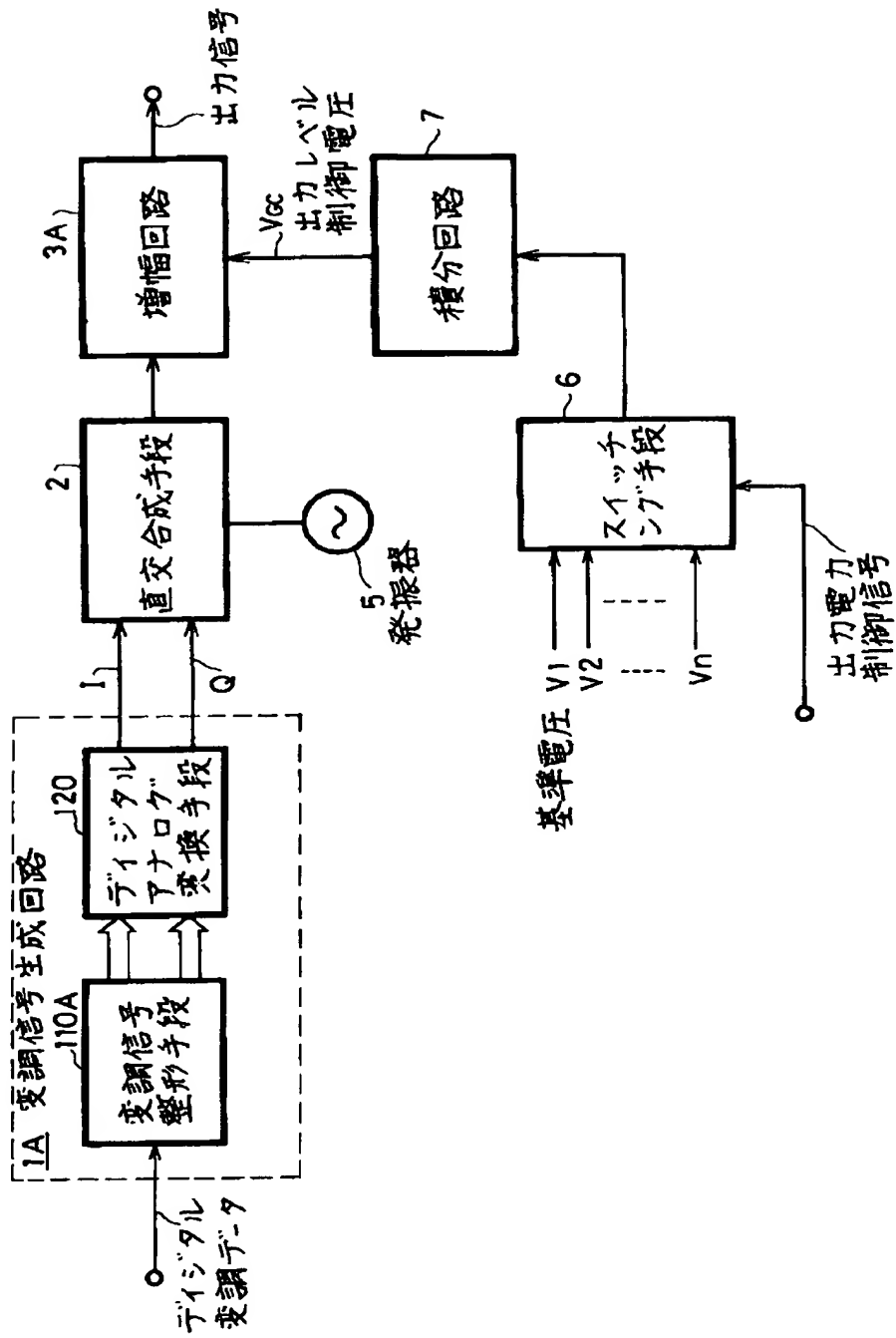


【図9】

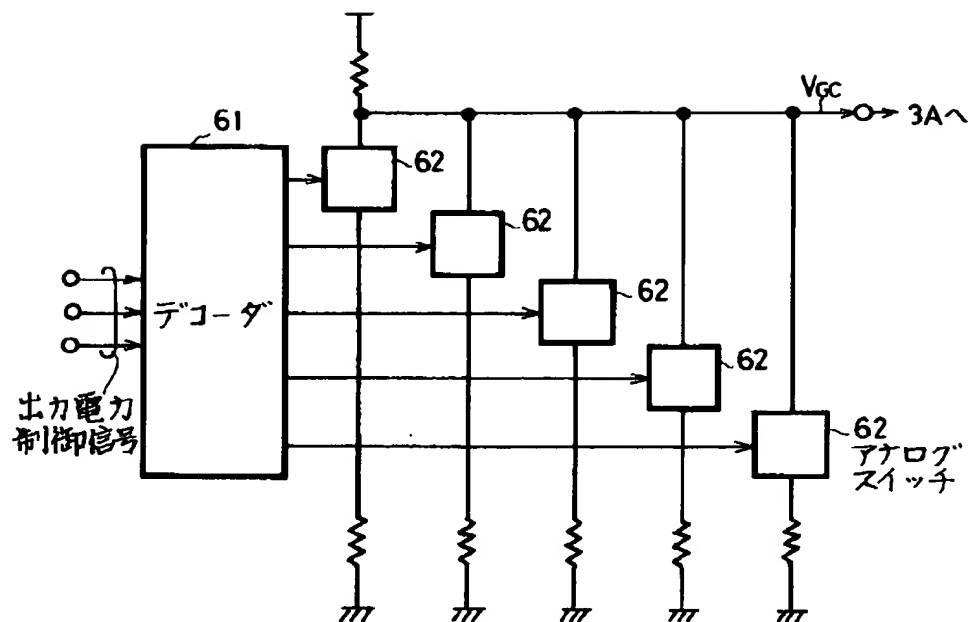




【図5】

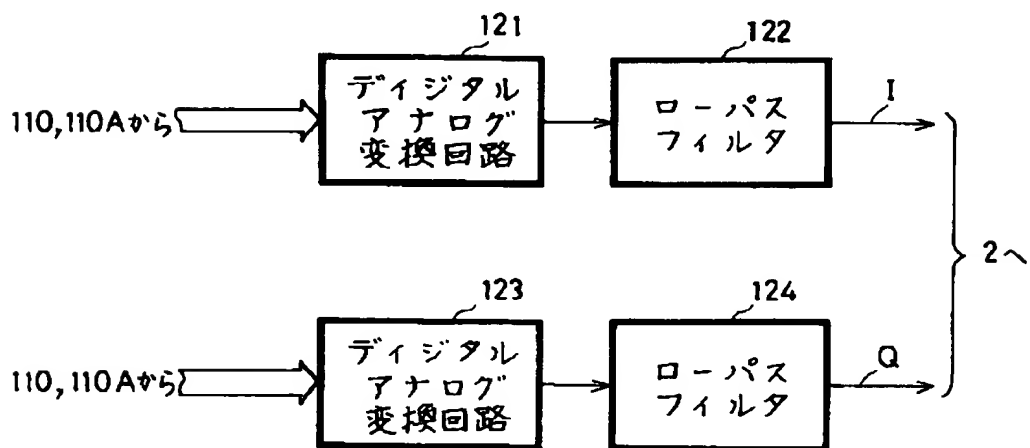


【図8】

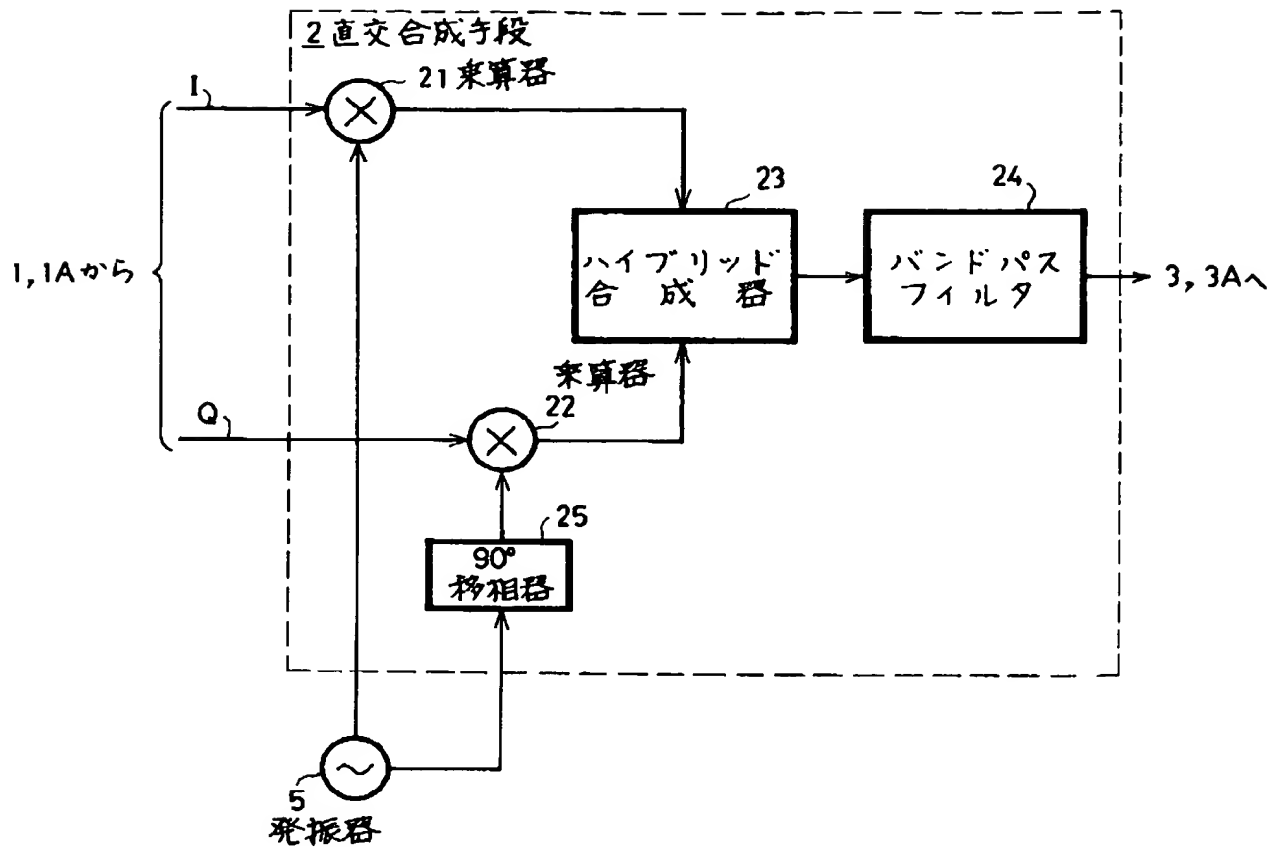


【図10】

120 デジタル  
アナログ  
変換手段



【図11】



【図12】

